Кафедра вычислительной техники



**ЛАБОРАТОРНАЯ РАБОТА №3**

**по дисциплине:** *Архитектура средств вычислительной техники*

**на тему:** *Изучение принципа построения и работы двоичных сумматоров*

|  |  |
| --- | --- |
| Выполнил: | Проверил: |
| Студент гр. *АВТ-819* | *К.Т.Н каф. ВТ* |
| *Ванин К.Е.* | Овчеренко Владимир Александрович |
| «\_\_\_» \_\_\_\_\_\_ 20\_\_г. | «\_\_\_» \_\_\_\_\_\_ 20\_\_г. |
| \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ | \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ |
| (подпись) | (подпись) |

1. **Заполненная Таблица истинности одноразрядного двоичного сумматора*:***

*Таблица 1.*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

***,*** *– двоичные цифры i разряда,****–*** *перенос из (i-1) разряда, – сумма, получившаяся в i разряде, - перенос из i разряда в (i+1) разряд. Первые четыре строчки таблицы 1 представляют собой таблицу истинности полусумматора.*

1. **Логические функции вычисления суммы и переноса одноразрядного двоичного полусумматора и полного двоичного сумматора, построенные на основе этой таблицы**

**Полусумматор**

СДНФ бита переноса:

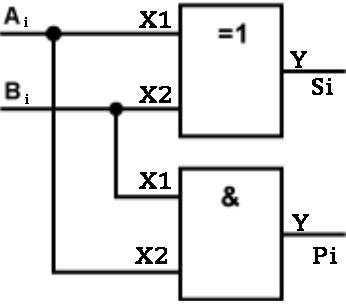
СДНФ суммы по модулю 2:

**Сумматор**

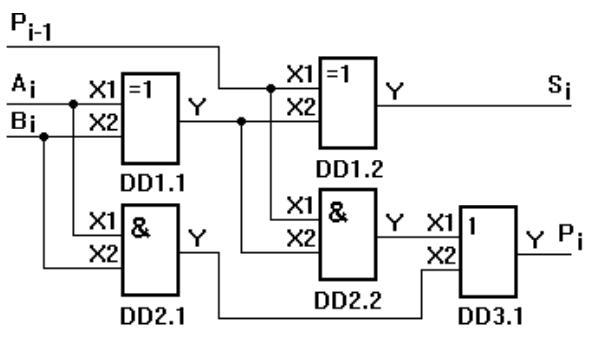
СДНФ бита переноса:

СДНФ суммы по модулю 2:

1. **Функциональные схемы одноразрядного двоичного полусумматора и полного двоичного сумматора**

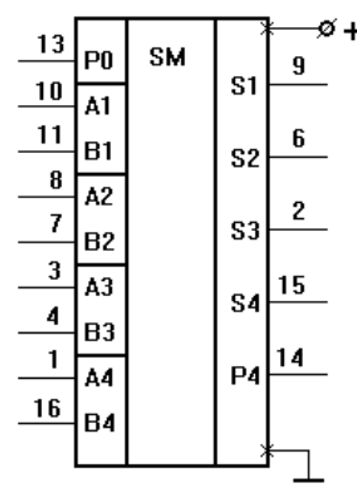


*Рис.1. Схема двоичного полусумматора*



*Рис. 2. Схема полного двоичного сумматора*

1. **Дать описание принципа работы одноразрядного двоичного сумматора по его функциональной схеме, при следующих входных данных: =1, =0,**
2. На выходе DD1.1 будет логическая единица (1 ⊕ 0 = 1), на выходе элемента DD2.1 будет 0 (1 & 0 = 0).
3. На входах Х1, Х2 логического элемента DD1.2 сигналы логических единиц, следовательно на выходе этого элемента логический нуль (1 ⊕ 1 = 0). На выходе элемента DD2.2 сигнал логической единицы (1 & 1 = 1).
4. На входе Х1 элемента DD3.1 сигнал логической единицы. Логическая единица на входе логического элемента 2ИЛИ является активным логическим уровнем и, следовательно, на выходе элемента DD3.1 будет сигнал логической единицы (1 + 0 = 1). В результате получим сумму в i-ом разряде, равную нулю, а перенос из i-го разряда равный единице.
5. ***Дать описание функциональной схемы микросхемы К155ИМ3 и всех ее входов и выходов.***



*A1-A4 – разряды числа А*

*B1-B4 – разряды числа B*

*S1-S4 – разряды суммы S*

*P0 – входной перенос*

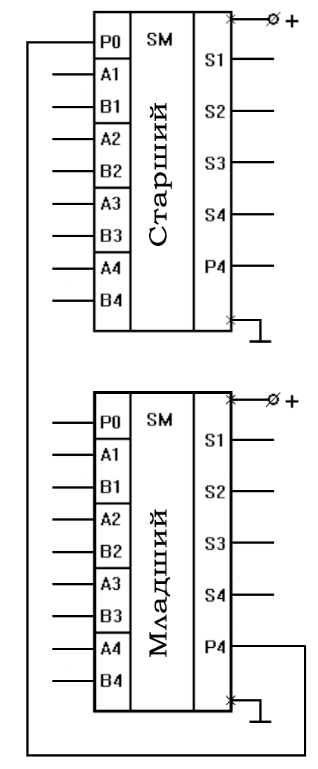
*P4 -выходной перенос*

*Рис. 3. Функциональная схема микросхемы К155ИМ3*

*Числа A, B, сумма S представляются в коде 8-4-2-1 в соответствии с индексами 4,3,2,1*

*Описание работы: на вход подается 2 двоичных числа, разряды которых соответствуют входам: для первого числа A1-A4, для второго B1-B4. Складываем числа и на выходах S1 -S2, P4 получаем результат сложения (P4 – выходное значение переноса получается, когда итоговое значение выходит за разрядность счетчика).*

1. **Построить функциональную схему восьмиразрядного сумматора, используя для этого две микросхемы К155ИМ3.**



*Рис. 4. Схема восьмиразрядного сумматора*

Работает по такому же принципу как четырехразрядный К155ИМ3. 1й складывает младшие, второй старшие. Выходной-перенос 1го сумматора соединен со входным 2го сумматора. Результат входного переноса 2го сумматора будет складываться с самым младшим своим разрядом(A1).